

日本国特許庁
JAPAN PATENT OFFICE

USPS EXPRESS MAIL
EV 415 086 349 US
APRIL 20 2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
in this Office.

出願年月日
Date of Application: 2003年 9月19日
September 19, 2003

願番号
Application Number: 特願2003-328088

T. 10/C]: [JP 2003-328088]

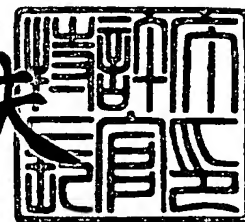
願人
Applicant(s): 住友電気工業株式会社
Sumitomo Electric Industries, Ltd.

特許庁長官
Commissioner,
Japan Patent Office

2004年 1月20日
January 20, 2004

今井康夫

Yasuo Imai



出証番号 出証特2004-3001182

Shutsu-sho No. Shutsu-sho-toku 2004-3001182

USPS EXPRESS MAIL
EV 415 086 349 US
APRIL 20 2004

Docket # 4685
Inv.: S. Fujiwara et al.

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 9 月 1 9 日

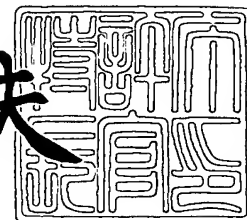
出 願 番 号
Application Number: 特 願 2 0 0 3 - 3 2 8 0 8 8
[ST. 10/C]: [J P 2 0 0 3 - 3 2 8 0 8 8]

出 願 人
Applicant(s): 住友電気工業株式会社

2 0 0 4 年 1 月 2 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 0 1 1 8 2

【書類名】 特許願
【整理番号】 1031149
【提出日】 平成15年 9月19日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 33/00
H01S 5/347

【発明者】
【住所又は居所】 大阪市此花区島屋一丁目1番3号 住友電気工業株式会社 大阪
製作所内
【氏名】 森 大樹

【発明者】
【住所又は居所】 大阪市此花区島屋一丁目1番3号 住友電気工業株式会社 大阪
製作所内
【氏名】 中村 孝夫

【発明者】
【住所又は居所】 大阪市此花区島屋一丁目1番3号 住友電気工業株式会社 大阪
製作所内
【氏名】 片山 浩二

【発明者】
【住所又は居所】 大阪市此花区島屋一丁目1番3号 住友電気工業株式会社 大阪
製作所内
【氏名】 藤原 伸介

【特許出願人】
【識別番号】 000002130
【住所又は居所】 大阪府大阪市中央区北浜四丁目5番33号
【氏名又は名称】 住友電気工業株式会社

【代理人】
【識別番号】 100064746
【弁理士】
【氏名又は名称】 深見 久郎

【選任した代理人】
【識別番号】 100085132
【弁理士】
【氏名又は名称】 森田 俊雄

【選任した代理人】
【識別番号】 100083703
【弁理士】
【氏名又は名称】 仲村 義平

【選任した代理人】
【識別番号】 100096781
【弁理士】
【氏名又は名称】 堀井 豊

【選任した代理人】
【識別番号】 100098316
【弁理士】
【氏名又は名称】 野田 久登

【選任した代理人】
【識別番号】 100109162
【弁理士】
【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 特許請求の範囲 1

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9908053

【書類名】 特許請求の範囲**【請求項 1】**

化合物半導体基板に形成され、n 型クラッド層と p 型クラッド層との間に位置する活性層を備える ZnSe 系発光素子であって、

前記活性層と p 型クラッド層との間に p 型クラッド層のバンドギャップより大きいバンドギャップを有するバリア層を有する、ZnSe 系発光素子。

【請求項 2】

前記 n 型クラッド層が n 型 ZnMgSSe 層であり、前記 p 型クラッド層が p 型 ZnMgSSe 層である、請求項 1 に記載の ZnSe 系発光素子。

【請求項 3】

前記バリア層のバンドギャップの大きさが前記 p 型クラッド層のバンドギャップよりも $0.025\text{ eV} \sim 0.5\text{ eV}$ 大きい、請求項 1 または 2 に記載の ZnSe 系発光素子。

【請求項 4】

前記バリア層のバンドギャップにおいて、その価電子帯のエネルギーは前記 p 型クラッド層のそれとほとんど同じであり、その伝導帯のエネルギーが前記 p 型クラッド層のそれより大きい、請求項 1～3 のいずれかに記載の ZnSe 系発光素子。

【請求項 5】

前記バリア層が、Be を含む III-V 族化合物半導体である、請求項 1～4 のいずれかに記載の ZnSe 系発光素子。

【請求項 6】

前記バリア層が、 $\text{Zn}_{1-x-y}\text{Mg}_x\text{Be}_y\text{Se}$ ($0.01 \leq y \leq 0.1$) である、請求項 1～5 のいずれかに記載の ZnSe 系発光素子。

【請求項 7】

前記バリア層が、 $\text{Zn}_{1-x}\text{Mg}_x\text{S}_y\text{Se}_{1-y}$ である、請求項 1～4 のいずれかに記載の ZnSe 系発光素子。

【請求項 8】

前記バリア層の厚みが、5 nm 以上で前記活性層の厚み以下の範囲にある、請求項 1～7 のいずれかに記載の ZnSe 系発光素子。

【請求項 9】

前記化合物半導体基板に n 型 ZnSe 単結晶基板を用いた、請求項 1～8 のいずれかに記載の ZnSe 系発光素子。

【請求項 10】

前記化合物半導体基板に n 型 GaAs 単結晶基板を用いた、請求項 1～8 のいずれかに記載の ZnSe 系発光素子。

【請求項 11】

前記 ZnSe 系発光素子を構成する前記化合物半導体基板を含む積層構造において、前記基板からのひずみの指標に用いられる面方位の X 線回折のピークと、積層構造からの前記面方位の X 線回折のピークとのずれが 1000 秒以下である、請求項 1～10 のいずれかに記載の ZnSe 系発光素子。

【書類名】明細書

【発明の名称】ZnSe系発光素子

【技術分野】

【0001】

本発明は、Ⅱ-Ⅵ族化合物半導体に属するZnSe系化合物半導体を用いたZnSe系発光素子に関するものである。

【背景技術】

【0002】

ZnSe結晶はバンドギャップが室温で2.7 eVの直接遷移型の半導体であり、青緑領域の発光素子用材料として期待されている。特に、1990年にプラズマ励起された窒素をドーピングすることによってp型ZnSeの成膜が可能であることが示されて以来、ZnSe系発光素子が脚光をあびるようになった。

【0003】

本発明者らは、ZnSe基板を使用した新しい構成の白色LED(Light Emitting Diode)を考案し実用化を図っている。これら白色LEDはn型ZnSe基板のSA(Self-Activated:自己活性化)発光を利用する素子である。具体的な構造としては、n型ZnSe基板上にZnCdSe活性層とZnMgSSeクラッド層とから構成される発光層を形成し、この発光層を含む積層構造を構成するエピタキシャル膜側表面にp型電極を、またZnSe基板の裏面にn電極を配置した積層構造の発光素子である。両電極間を通電し、活性層で青色光(波長485 nm近辺)を発光させると、青色光の一部はそのまま素子外に放出され、また一部は基板側に入射する。基板に入射した青色光は基板のSAセンターを励起し、その結果SA光が誘起される。このSA発光は590 nm近辺にピークを持つ発光であり、波長485 nmの青色光と適度な比率で混ぜ合わせることによって、人間の目には白色に見える発光を得ることができる。上記の白色LEDは駆動電圧が2.7 V程度と低く、また発光効率が比較的高いことからその実用化が期待されている。

【0004】

半導体発光素子では、発光層(活性層)はn型クラッド層とp型クラッド層とに挟まれ、これら両方のクラッド層のバンドギャップより小さいバンドギャップを有する。両側のクラッド層から活性層に電流を注入し、電流担体のバンド間遷移により発光を生じさせる。n型クラッド層から活性層へ注入された電子は、主として次の経過をたどる。

(a1) ホール(正孔)と再結合して発光する。

(a2) p型クラッド層へリーク(オーバーフロー)し、p型クラッド層で非発光的再結合をする。

【0005】

上記の(a2)の割合が大きいと発光成分が減るため、発光素子(LED)の光出力が小さくなる。

【0006】

上記の(a2)に起因する光出力低下の問題を解消するためには、活性層とp型クラッド層との間に生じる電子に対するエネルギー障壁(ヘテロ障壁 ΔE_c)を大きくすれば良いことが知られている。上記ヘテロ障壁 ΔE_c は、より具体的には、活性層内の電子の擬フェルミレベルと、p型クラッド層の伝導帯の底のエネルギーとの差である。ヘテロ障壁 ΔE_c を正確に算出することは難しいが、このヘテロ障壁を大きくするには、次の3つの方法がある。

(b1) 活性層のバンドギャップと、p型クラッド層のバンドギャップとの差 ΔE_g を大きくする。

(b2) p型クラッド層のキャリア密度を増加させて、p型クラッド層のフェルミレベルを下げる。

(b3) 活性層に注入する電流密度を下げる。

【0007】

上記の3つの方法のうち、(b3)の方法は高輝度の発光素子を実現することを目的と

する限り、採用することはできない。上記の (b1) の方法として、たとえば、ZnSe 系発光素子では、クラッド層に ZnMgSSe 層を用いることが提案されている (たとえば特許文献 1)。ZnMgSSe を用いる場合、ZnSe と格子定数を合わせる条件下において、バンドギャップを 4.4 eV 程度まで大きくすることができる。

【特許文献 1】特開平 5-75217 号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかし、ZnSe 系の場合、上記 (b1) の方法と、(b2) の方法とを独立に取り扱うことはできず、(b1) の方法のみを追求しても問題の解決にはいたらない。(b1) の方法と (b2) の方法とが互いに関係し合う理由は、ZnSe 系化合物半導体のドーピング特性にある。次に、ZnSe 系半導体のドーピング特性について説明する。

【0009】

ZnSe 系化合物半導体が属する II-VI 族化合物半導体では、平衡状態のまま p 型不純物を導入したのでは、十分な p 型導電性を安定して得ることはできず、p 型の導電性は、MBE (Molecular Beam Epitaxy) 法による低温成長下で窒素を導入した場合においてのみ可能になることが知られている。しかし、このドーピングはバンドギャップが大きくなるほど困難になり、バンドギャップが大きいほど得られる最高の p 型キャリア密度が小さくなってしまう。この現象の結果を図 7 に示す。

【0010】

図 7 は、ZnSe と格子定数が一致するように組成比が調整された ZnMgSSe のバンドギャップと、実効的な p 型キャリア密度 ($N_a - N_d$) との関係を示す図である。ここで、 N_a はアクセプター密度であり、 N_d はドナー密度である。ZnMgSSe のバンドギャップを大きくすると、($N_a - N_d$) が減少することが分かる。この原因は、p 型不純物である窒素 (N) のみをドーピングしたとしても、バンドギャップを大きくすると、ドナー性の欠陥 (詳細は良く分っていない) が形成されやすくなることにあると考えられる。すなわち、ZnSe 系化合物半導体ではバンドギャップを大きくするとドナー性の欠陥密度が増大し、すなわち N_d が増大し、実質的に p 型キャリア密度が増加せず、むしろドナー性の欠陥形成のために p 型キャリア密度が低下する。

【0011】

上記の現象より、ヘテロ障壁 ΔE_c を最も大きくするのに最適な、p 型クラッド層のバンドギャップの値があることが分る。すなわち、両者の間には図 8 に模式的に示すような相関関係がある。図 8 では、上記最適なバンドギャップの値は臨界値として表示されている。上記の (b1) および (b2) を総合した解決策によって、p 型クラッド層のバンドギャップを上記臨界値にすることによって最大のヘテロ障壁 ΔE_c を実現し、電子のリークを十分に抑制することが期待される。

【0012】

上記の最適なバンドギャップの値は、ドーピング技術にも左右されるので一概には言えないが、2.9 eV ~ 3.0 eV 近辺である。この最適のバンドギャップで得られるヘテロ障壁 ΔE_c が十分に大きくなり、その結果、上述の電子のリークが十分小さくなれば、何ら問題ない。しかしながら、上記の期待に反して実際は、上記 p 型クラッド層における最適のバンドギャップを実現しても、ヘテロ障壁 ΔE_c の大きさは不十分であり、無視できない量の電子が活性層から p 型クラッド層へとリークすることが判明した。

【0013】

ZnSe 系化合物半導体の発光素子のさらに大きな問題は、上記 p 型クラッド層への電子のリークが、発光効率を下げるだけでなく、発光素子の寿命を短くすることにある。次に、この現象について説明する。

【0014】

先に説明したように、ZnSe 系が属する II-VI 族化合物半導体では、p 型ドーパントの安定性が低い。そのため、p 型キャリア密度を高くできないだけでなく、p 型クラ

ッド層にリークした電子が、その p 型クラッド層で正孔と再結合する際に放出されるエネルギーによってドナー性の欠陥が形成され、p 型キャリア密度が減少してしまう。p 型キャリア密度が減少すると、ヘテロ障壁 ΔE_c が減少し、電子のリークに対して障壁となりにくくなる。この結果、(電子の p 型クラッド層へのリーク) \rightarrow (p 型クラッド層での p 型キャリア密度低下) \rightarrow (ヘテロ障壁 ΔE_c の低下) \rightarrow (電子の p 型クラッド層へのリーク加速) $\rightarrow \dots$ という悪循環に陥ってカタストロフィ的に発光効率が低下する途をたどる。すなわち、稼働中に短い期間の後、急速劣化モードに陥ってしまう。上記の現象のために、ZnSe 系発光素子の固有の性質として寿命は短く、その寿命を長くすることは困難であると考えられてきた。

【0015】

本発明は、ZnSe 系発光素子において、発光素子の寿命を長くすることができる ZnSe 系発光素子を提供することを目的とする。

【課題を解決するための手段】

【0016】

本発明の ZnSe 系発光素子は、化合物半導体基板に形成され、n 型クラッド層と p 型クラッド層との間に位置する活性層を備える ZnSe 系発光素子である。そして、上記の活性層と p 型クラッド層との間に p 型クラッド層のバンドギャップより大きいバンドギャップを有するバリア層を有する。

【0017】

この構成により、活性層に注入された電子は、バリア層の p 型クラッド層より大きいバンドギャップによる障壁ポテンシャルにより、p 型クラッド層への移動を妨げられる。このため、この ZnSe 系発光素子の寿命を大きく向上させることができる。

【0018】

本構成の要点は、通常の p 型クラッド層が有する 2 つの役割である「活性層への正孔の供給」および「ヘテロ障壁形成による電子のリーク抑制」のうち、「ヘテロ障壁形成による電子のリーク抑制」の役割をバリア層に担当させる点にある。p 型クラッド層は、「活性層への正孔の供給」の役割のみを担う。「活性層への正孔の供給」だけであれば、p 型クラッド層に対する大きなバンドギャップや、大きなキャリア密度の要請はそれほど強くはない。バリア層による電子のリーク抑制については、バリア層のバンドギャップが十分大きければ、キャリア密度を大きくすることによって得られるヘテロ障壁 ΔE_c の増加がなくても、活性層の擬フェルミレベルに対して十分大きいヘテロ障壁 ΔE_c を確保することができる。

【0019】

上記の構成における特筆すべき利点は、電子の閉じ込め効率が p 型クラッド層のキャリア密度にあまり依存しないことにある。そのため、バリア層を越えてリークした電流によって p 型クラッド層のキャリア（正孔）密度が減少したとしても、電子の閉じ込め効率はほとんど影響を受けず維持される。この結果、従来の構造で問題となっていた、リーク量の増加傾向の悪循環による加速は誘発されず、カタストロフィ的な素子の劣化は防止される。

【0020】

ここで、バリア層による閉じ込め効果について説明すると、基本的に、活性層内における電子の擬フェルミレベルと、バリア層における伝導帯の底のエネルギー準位との差が大きければ、閉じ込め効率は向上する。上記のエネルギー差、すなわちヘテロ障壁 ΔE_c を大きくするためには、基本的にはバリア層のバンドギャップを大きくすればよい。そこで ZnMgSSe をバリア層に使用する場合、Mg と S との組成比を大きくして、バリア層のバンドギャップを大きくすればよい。このとき、バリア層のキャリア密度は重要ではなく、従来の p 型クラッド層におけるキャリア密度に対する制限は必要なくなる。

【0021】

クラッド層には意図的に p 型不純物をドーピングする必要はないが、多少ドーピングされていても支障はない。バリア層を構成する材料は、ZnMgSSe に限られない。クラ

ッド層よりバンドギャップが大きく、そのバンドギャップが大きい結果として伝導帯の底のエネルギー準位が上昇する（電子親和力が低下すると言ってもよい）材料であれば、 ZnMgSSe でなくてもよい。ただし、半導体基板、たとえば ZnSe 基板と格子定数をおおよそ一致する必要がある。そのような材料として、たとえば ZnMgBeSe を挙げることができる。 ZnMgSSe と、 ZnMgBeSe との相違であるが、 ZnMgBeSe のほうが電子親和力が小さくなることが知られており、同じバンドギャップであれば ZnMgBeSe のほうが電子の閉じ込め効率が高くなるので、好ましい。

【0022】

ZnMSSe や ZnMgBeSe でバリア層を形成する場合、そのバンドギャップが大きいほど電子の閉じ込め効率が大きくなるが、大きくしすぎるとバリア層を構成する膜の結晶性が劣化する傾向があり、あまり大きくしないほうがよい。また、バリア層のバンドギャップをp型クラッド層のバンドギャップより大きくしすぎると、p型クラッド層から活性層への正孔の注入に対して障壁となるので発光効率を低下させる問題を生じる。

【0023】

ここで、III-V族化合物半導体系の発光素子の場合には、上記p型クラッド層から活性層への正孔の注入に対する障壁の形成はあまり問題とならない。しかし、III-V族化合物半導体と異なり、 ZnSe 系化合物半導体では、バリア層とp型クラッド層との間に上記の障壁が存在すると、p型ドーピングが不安定になり、劣化しやすくなる。そのため、p型クラッド層から活性層への正孔の注入に対する障壁は小さいほうが望ましい。上記障壁に関して、 ZnMgSSe と ZnMgBeSe とを比べると、同じバンドギャップとした場合、 ZnMgBeSe のほうが正孔に対する障壁は小さくなるか、または上記障壁が形成されないのが好ましい。

【0024】

上記の説明から分かるように、バリア層のバンドギャップには最適な値が存在する。この最適値は、バリア層の材料、p型クラッド層のバンドギャップ、p型クラッド層のp型ドーピングの安定性などに依存するので、一概に決定することはできない。しかし、p型クラッド層のバンドギャップと比べ、 $0.025\text{ eV} \sim 0.5\text{ eV}$ 大きい範囲内にバリア層のバンドギャップの最適値がある。また、最適値から多少ずれたとしても、p型クラッド層のバンドギャップと比べ、 $0.025\text{ eV} \sim 0.5\text{ eV}$ 大きい範囲内のバンドギャップであればバリア層の上記役割を期待することができる。

【発明を実施するための最良の形態】

【0025】

次に図面を用いて本発明の実施の形態における発光素子を紹介する。

【0026】

（実施の形態1）

図1は、本発明の実施の形態における ZnSe 系発光素子を示す図である。n型化合物半導体基板1の上にn型 ZnSe 系バッファ層（以下、n型バッファ層）2が位置し、その上にn型 ZnMgSSe クラッド層（以下、n型クラッド層）3が形成されている。n型化合物半導体基板1には、n型 ZnSe 単結晶基板またはn型 GaAs 単結晶基板を用いることができる。n型 GaAs 単結晶基板は、 ZnSe 系エピタキシャル膜を形成しやすく、また安価である。

【0027】

n型クラッド層3の上に量子井戸層とその障壁層とが積層された活性層4が位置し、その上に、バリア層（第1クラッド層）5が位置し、そのバリア層の上にp型 ZnMgSSe クラッド層（以下、p型クラッド層または第2クラッド層）6が形成されている。

【0028】

バリア層には、図2に示すように、i型 $\text{Zn}_{1-x-y}\text{Mg}_x\text{Be}_y\text{Se}$ （ $0.01 \leq y \leq 0.1$ ）を用いることができる。また、バリア層には、図3に示すように、i型 $\text{Zn}_{1-x-y}\text{Mg}_x\text{S}_y\text{Se}$ （ $0.01 \leq x \leq 0.1$ ）を用いてもよい。ただし、バリア層は真性化合物半導体に限定されるわけではなく、p型不純物を含んでもよい。

【0029】

上記 p 型クラッド層の上には p 型 ZnSe バッファ層 7 が位置し、その上に p 型 ZnSe/ZnTe 超格子コンタクト層 8 が形成され、さらにその上に p 電極 9 が設けられている。n 型化合物半導体基板 1 には n 電極が設けられているが図示していない。n 電極と p 電極との間に電圧を印加して活性層に電流を注入して発光を得る。

【0030】

図 4 および図 5 は、n 型クラッド層 3/活性層 4/バリア層 5/p 型クラッド層 6 におけるバンド構造を示す図である。活性層 4 と p 型クラッド層（第 2 クラッド層）6 との間にバリア層（第 1 クラッド層）5 を設け、活性層の電子の p 型クラッド層へのリークに対する障壁ポテンシャルを形成している。すなわち、活性層に電子を閉じ込めている。ここで図 4 では、バリア層と p 型クラッド層の価電子帯との間に不連続がなく連続的に接合されているが、このような接合はバリア層として ZnMgBeSe を使用した場合にのみ可能であり、バリア層に ZnMgSSe を使用した場合には、図 5 に示すように、バリア層と p 型クラッド層との界面において価電子帯側にも障壁が形成される。また、バリア層に ZnMgBeSe を使用した場合においても、そのバンドギャップを大きくしすぎると、やはり図 5 に示すように価電子帯側に障壁が形成される。

【0031】

次に本発明の実施の形態における発光素子の製造方法について説明する。まず、MBE 法によって面方位 (100) の導電性 ZnSe 基板上に、図 1 に示す積層 2~8 を形成した。n 型と p 型のクラッド層の組成比に関しては、バンドギャップが室温で 2.9 eV で、かつ ZnSe 基板とおおよそ格子整合する組成とした。バリア層として、バンドギャップ 3.1 eV（室温）で、やはり ZnSe 基板とおおよそ格子整合する厚さ 20 nm の ZnMgBeSe 層を使用した。ここで、n 型 ZnMgSSe 層 3、バリア層（第 1 クラッド層）5 および p 型 ZnMgSSe 層（第 2 クラッド層）の各層で、必要とされる Mg 組成が異なるので、成長時に必要とされる Mg フラックスが異なる。そこで、Mg 源として複数の K セルを使用してもよいが、本実施の形態では、単独の K セルを使用して成長途中で Mg 用の K セルの温度を変更する方法を採用した。したがって、バリア層 5 および p 型 ZnMgSSe 層 6 の成長前に Mg 用 K セルの温度を変更し、その温度が安定するまで成長を中断した。

【0032】

各層の室温でのバンドギャップの測定であるが、4.2 K でのバンド端近辺の PL (Photo-Luminescent) 発光（エキシトンの再結合による発光）の発光波長を利用して、下記 (I) 式の換算式を用いて室温でのバンドギャップを算出した。

【0033】

$$E_g(\text{eV}) = \{1240 / \lambda_{4.2\text{PL}}(\text{nm})\} - 0.1 \dots \dots \dots (I)$$

上記 (I) 式で、0.1 eV を差し引いているが、これは 4.2 K から室温への温度上昇に伴うバンドギャップの減少分である。上記の換算式は必ずしも正確ではなく系統誤差を含むが、簡便であることから近似式として採用している。

【0034】

格子定数の整合に関しては、X 線による (400) 回折の回折角のずれによって評価することができる。MBE 法によって積層構造 2~8 を形成した後、回折線を測定すると、ZnSe 基板からの強い回折と、クラッド層からの比較的弱い回折とがともに観察される。両者の回折角度の違いから、クラッド層の格子整合の度合いを評価することができる。ただし、バリア層に関しては、回折のピークが観察できないので、事前に行なう条件設定用の成長において、ZnSe 基板上に比較的厚い ZnMgBeSe または ZnMgSSe を成膜して、X 線回折角を測定して格子整合を評価する。バンドギャップについても同様の測定を行なう。

【0035】

n 型不純物としては Cl を、また p 型不純物としては N を使用しているが、この選択は、本発明における本質的な問題ではなく、用いる不純物は上記不純物に限定されない。

【0036】

n型およびp型クラッド層にZnMgSSeを使用し、また両者のバンドギャップとして同じ値を採用しているが、これらの選択も本発明に必須ではない。n型およびp型クラッド層に異なるZnSe系化合物半導体を用いてもよいし、両者のバンドギャップが相違してもよい。

【0037】

比較例として、図1の積層構造から、バリア層（第1クラッド層）5を除いた従来構造のLEDを製作した。ここで、積層構造の他の層については厚みやバンドギャップは本実施の形態（本発明例）と同一になるようにした。

【0038】

図1の積層構造における各層2～8を成膜した後、ZnSe基板1の裏側にTi/Auからなるn電極を形成した。また、p型ZnSe/ZnTe超格子コンタクト層8の上に厚み100Å程度の半透明Au電極を形成した。その後、400μm角にスクライブブレイクして、ステム上にボンディングして寿命評価用のLEDを作製した。

【0039】

なお、電極形成前にX線（CuのK α_1 線）による（400）回折を測定し、n型およびp型クラッド層の回折ピークがZnSe基板の回折ピークと比べ、ずれが400秒以下であることを確認した。また、ZnMgBeSeに関しては、LED成長の直前に実施した条件設定用の成長において、X線（CuのK α_1 線）による（400）回折を測定し、ZnSe基板の回折ピークと比べ、ずれがやはり400秒以下であることを確認した。

【0040】

上記の作製手順にしたがって作製した本発明例のLEDおよび比較例のLEDについて寿命を測定した。測定方法として70℃で15mAの一定電流を流しながら、輝度の変化を測定した。図6に測定結果を示す。図6によれば、従来構造の比較例では20時間程度で、輝度が初期輝度の70%程度まで低下することが分る。一方、本発明例では、初期輝度の70%程度まで低下するのに400時間以上を要することが分る。本発明例のLEDにおいて、輝度の経時劣化が大幅に抑制されていることが分る。

【0041】

上記の劣化の抑制はp型クラッド側に電子がリークしにくくなったことによって、p型クラッドが劣化しにくくなったことに加え、p型クラッド層が劣化しても閉じ込め効率が維持されていることに由来する。従来のZnSe系発光素子は、劣化しやすく寿命が短いためにその実用化が妨げられてきたが、本発明に係る発光素子は、上記の構造を備えることによりその欠点が解消されたものである。

【0042】

次に、本発明の他の実施の形態を、上述の本発明の実施の形態も含めて羅列的に説明する。

【0043】

上記のバリア層のバンドギャップの大きさは、p型のバンドギャップよりも0.025eV～0.5eV大きくするのがよい。

【0044】

バリア層のバンドギャップの大きさが、p型クラッド層のそれより0.025eV未満大きいだけでは活性層に注入された電子のp型クラッド層への移動を充分抑制するのが難しい。また、バリア層のバンドギャップの大きさがp型クラッド層のそれより0.5eVを超えて大きくなると、結晶が不安定化してデバイス特性に悪影響を及ぼす。

【0045】

上記のバリア層のバンドギャップにおいて、その価電子帯のエネルギーをp型クラッド層のそれとほとんど同じとし、その伝導帯のエネルギーをp型クラッド層のそれより大きくしてもよい。

【0046】

この構成によれば、活性層の電子のp型クラッド層へのリークのみを抑制して、価電子

帯の正孔に対してはほとんど影響しない。このため、デバイス特性に悪影響を及ぼすことなく寿命を延長することができる。

【0047】

上記のバリア層を、Beを含むII-VI族化合物半導体とすることができる。この構成により、発光特性を低下させることなくZnSe系の発光素子の寿命を延ばすことができる。

【0048】

上記のバリア層を、 $Zn_{1-x-y}Mg_xBe_ySe$ ($0.01 \leq y \leq 0.1$) としてもよい。

【0049】

この構成により、バリア層の伝導帯のバンド底がp型クラッド層のそれより充分高く、バリア層の価電子帯のバンド頂部はp型クラッド層と大きく異ならないようにできる。その結果、発光特性を低下することなく素子寿命を延ばすことが可能になる。また、エピタキシャルのバリア層およびp型クラッド層を形成することができ、高い発光効率を確保することができる。なお、上記の $Zn_{1-x-y}Mg_xBe_ySe$ ($0.01 \leq y \leq 0.1$) 層はp型不純物を導入することが非常に難しいが、p型不純物を導入できれば、p型クラッド層より大きいバンドギャップを有するかぎりp型不純物を含んだものであってもよい。

【0050】

また、上記のバリア層を、 $Zn_{1-x}Mg_xS_ySe_{1-y}$ (x、yは0～1の範囲) としてもよい。

【0051】

この構成により、バリア層のバンドギャップをp型バリア層のそれより充分大きくでき、活性層の電子のp型バリア層への流入を防止することができる。この結果、発光素子の長寿命化を達成することができる。上記の $Zn_{1-x}Mg_xS_ySe_{1-y}$ (x、yは0～1の範囲) 層はi型化合物半導体であることが望ましいが、p型クラッド層より大きいバンドギャップを有するかぎり、p型不純物を含んでもよい。

【0052】

上記のバリア層の厚みは、5nm以上で活性層の厚み以下の範囲にしてもよい。バリア層の厚みが5nm未満では活性層の電子はトンネル効果によりp型クラッド層に流入してしまい、障壁ポテンシャルとして機能しにくくなる。また、厚みが活性層の厚みを超えるとバリア層の剛性が高くなり、歪みのマッチングがずれて歪みが大きく生じる。バリア層の厚みの上限としては上記の活性層の厚みを上限としてもよいし、それとは別に具体的に100nmを厚みの上限としてもよい。

【0053】

上記の化合物半導体基板にn型ZnSe単結晶基板を用いてもよい。この基板を用いて結晶性の良好なエピタキシャル膜を形成して、発光効率のよい長寿命の発光素子を作製することができる。

【0054】

上記の化合物半導体基板にn型GaAs単結晶基板を用いてもよい。GaAs基板は安価であり、またZnSe系エピタキシャル膜を形成することもできる。このため、安価で長寿命の発光効率の高い発光素子を得ることができる。

【0055】

上記のZnSe系発光素子を構成する化合物半導体基板を含む積層構造において、基板からのひずみの指標に用いられる面方位のX線回折のピークと、積層構造からの面方位のX線回折のピークとのずれを1000秒以下としてもよい。

【0056】

この構成によれば、上記ずれを抑制することにより発光特性に優れた長寿命のZnSe系発光素子を得ることができる。なお、化合物半導体基板のひずみの指標に用いられる面指数は、通常、(400)面である。上記のずれの抑制は、発光素子に生成するひずみの抑制につながる。

【0057】

上記において、本発明の実施の形態について説明を行なったが、上記に開示された本発明の実施の形態はあくまで例示であって、本発明の範囲はこれら発明の実施の形態に限定されない。本発明の範囲は、特許請求の範囲の記載によって示され、さらに特許請求の範囲の記載と均等の意味および範囲内でのすべての変更を含むことを意図するものである。

【産業上の利用可能性】

【0058】

本発明のZnSe系発光素子は、リーク感受性のないリーク防止手段であるバリア層を配置することにより、II-VI族化合物半導体に特有のリークにともなう累積的結晶変質を被ることがない。このため、電子のリークを安定して抑制することができ、寿命が長く発光効率のよい照明を安価に行なうことが可能になるので、各種の照明装置に広範に適用することが期待される。

【図面の簡単な説明】

【0059】

【図1】 本発明の実施の形態におけるZnSe系発光素子を示す図である。

【図2】 バリア層にZnBeMgSeを用いた場合の積層構造を示す図である。

【図3】 バリア層にZnMgSSeを用いた場合の積層構造を示す図である。

【図4】 バリア層にZnBeMgSeを用いた場合のバンド構造を示す図である。

【図5】 バリア層にZnMgSSeを用いた場合のバンド構造を示す図である。

【図6】 加速条件下での発光素子の寿命試験結果を示す図である。

【図7】 ZnMgSSeにおける、(Na-Nd)とバンドギャップEgとの関係を示す図である。

【図8】 p型クラッド層のバンドギャップの大きさと、伝導帯側バンドオフセット ΔE_c との関係を示す図である。

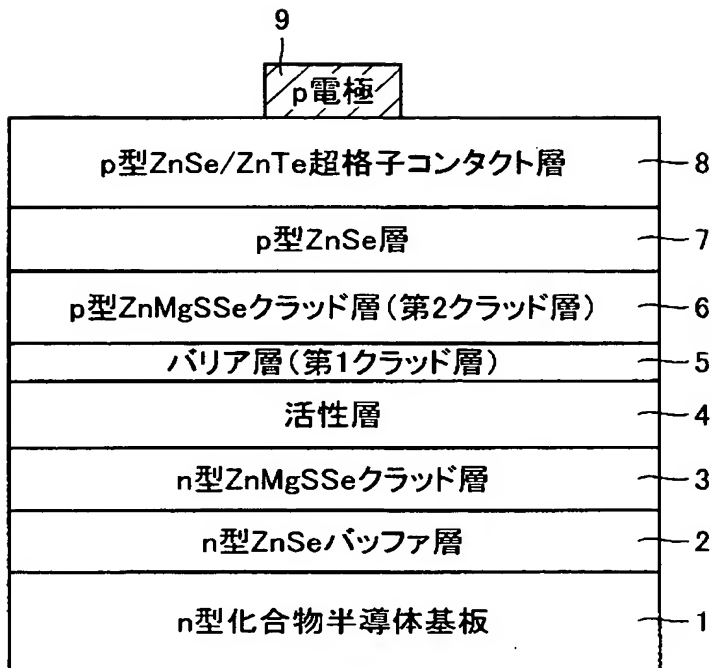
【符号の説明】

【0060】

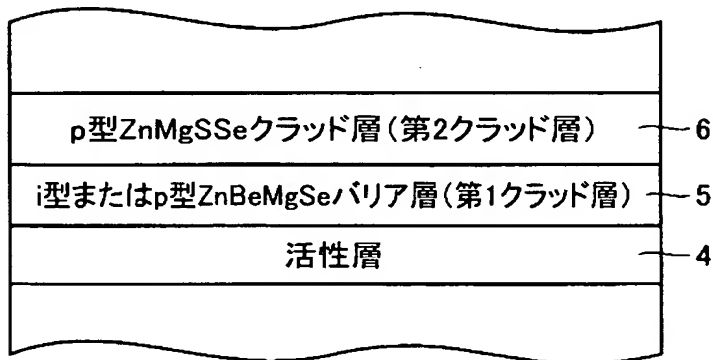
1 n型化合物半導体基板、2 n型ZnSeバッファ層、3 n型ZnMgSSeクラッド層、4 活性層、5 バリア層（第1クラッド層）、6 p型ZnMgSSeクラッド層（第2クラッド層）、7 p型ZnSeバッファ層、8 p型ZnSe/ZnTe超格子コンタクト層、9 p電極。

【書類名】 図面

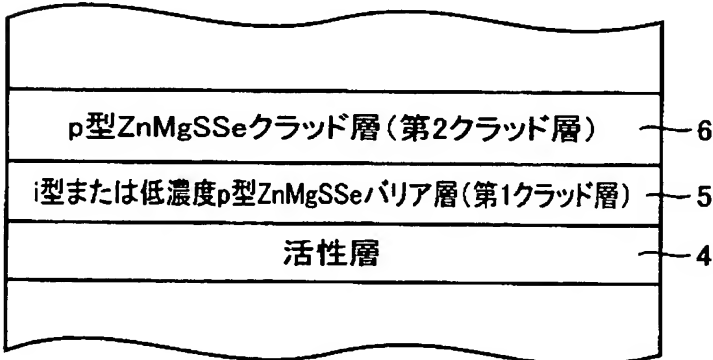
【図 1】



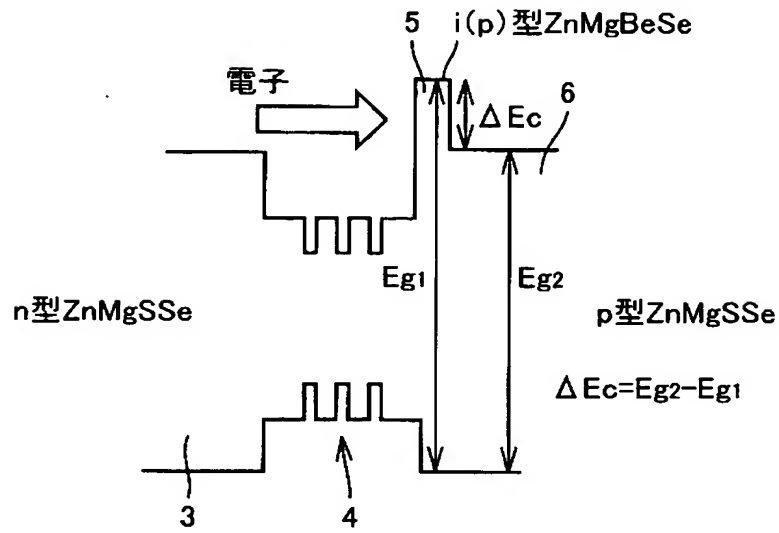
【図 2】



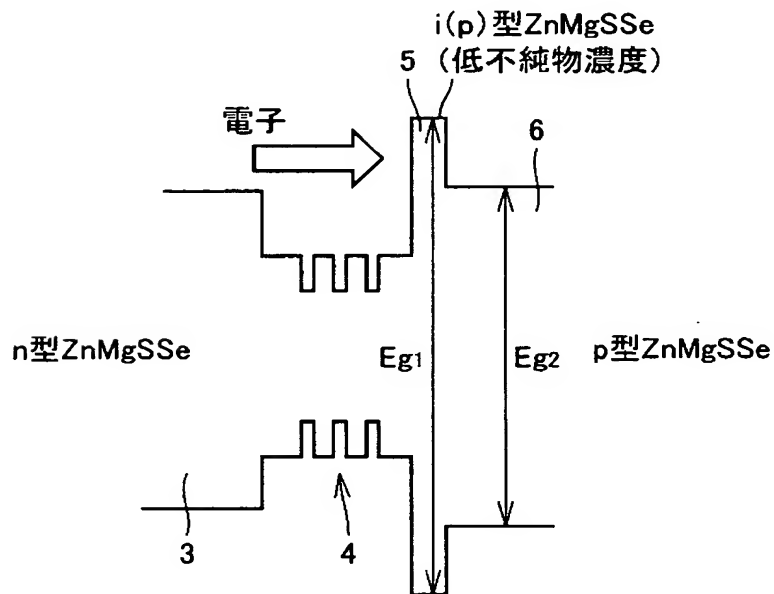
【図 3】



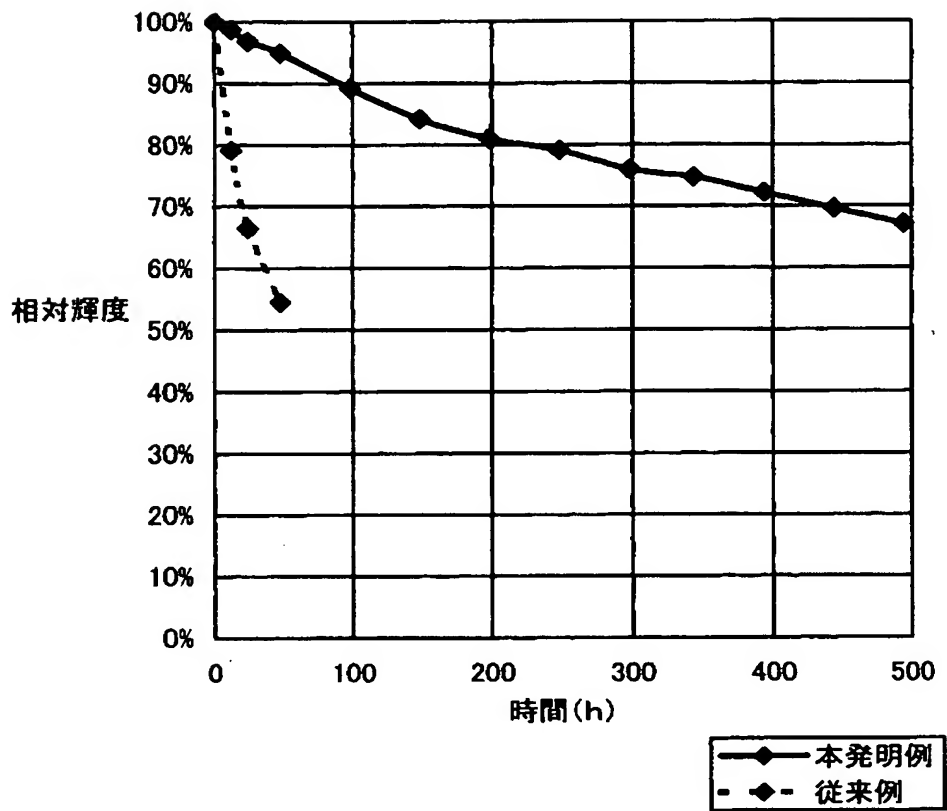
【図 4】



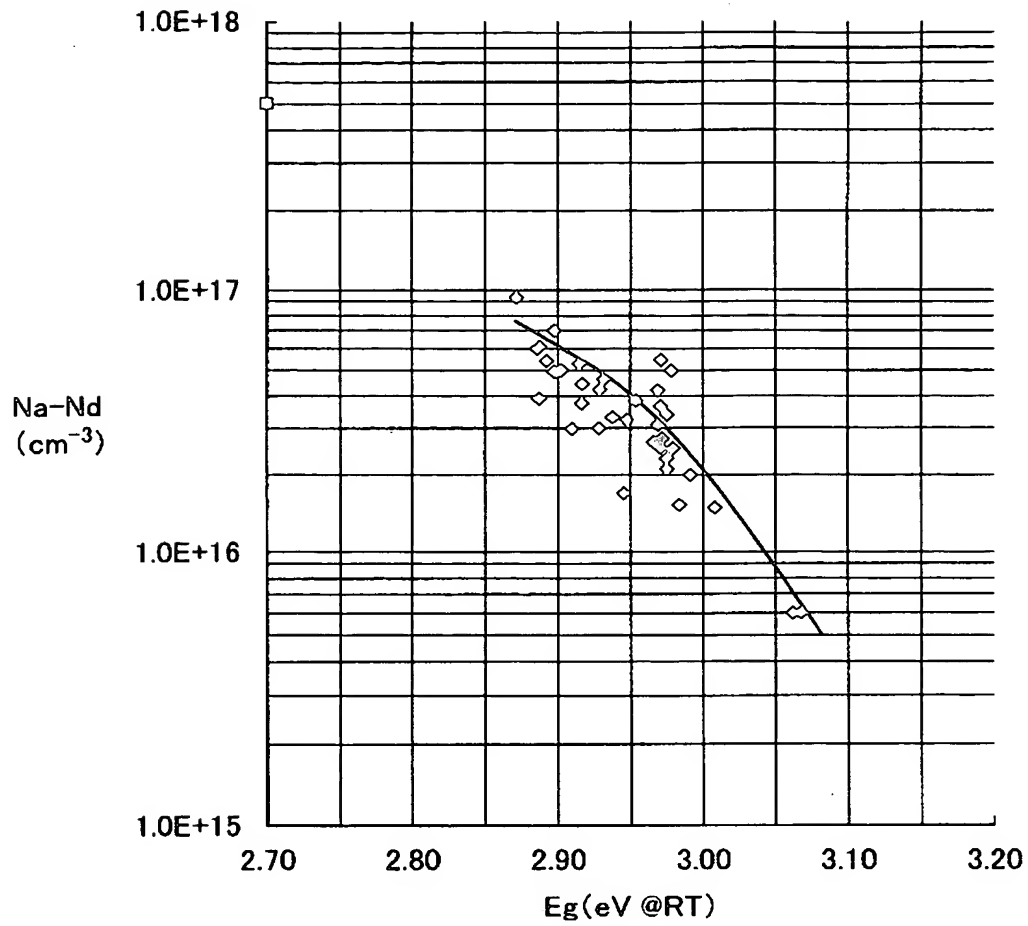
【図 5】



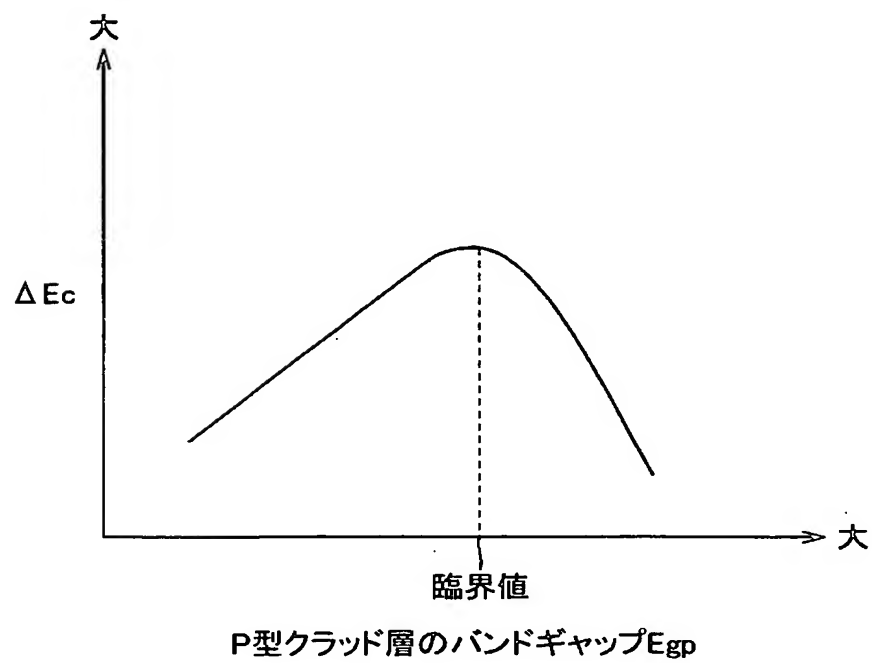
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 ZnSe系発光素子において、発光素子の寿命を長くすることができるZnSe系発光素子を提供する。

【解決手段】 化合物半導体基板1に形成され、n型ZnMgSSeクラッド層3とp型ZnMgSSeクラッド層6との間に位置する活性層4を備え、活性層4とp型ZnMgSSeクラッド層6との間にp型ZnMgSSeクラッド層のバンドギャップより大きいバンドギャップを有するバリア層5を有する。

【選択図】 図1

特願 2 0 0 3 - 3 2 8 0 8 8

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 2 1 3 0]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	大阪府大阪市中心区北浜四丁目 5 番 3 3 号
氏 名	住友電気工業株式会社